

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-189835

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl. ⁹	識別記号	F I	
H 0 1 L 23/34		H 0 1 L 23/34	A
23/02		23/02	B
25/065		25/08	Z
25/07			
25/18			

審査請求 有 請求項の数 3 O L (全 6 頁)

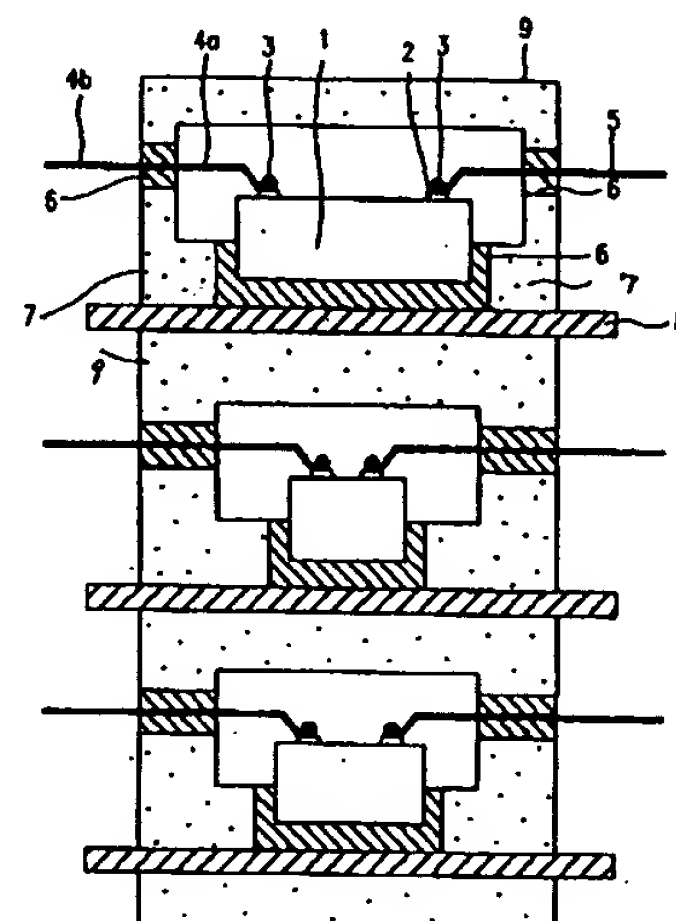
(21) 出願番号	特願平9-346154	(71) 出願人	590001669 エルジー電子株式会社 大韓民国, ソウル特別市永登浦区汝矣島洞 20
(22) 出願日	平成9年(1997)12月16日	(72) 発明者	ウォン・サン・イ 大韓民国・ソウル・ヨンサンク・イテウ オン・ドン・184-3
(31) 優先権主張番号	6 6 2 2 3 / 1 9 9 6	(74) 代理人	弁理士 山川 政樹
(32) 優先日	1996年12月16日		
(33) 優先権主張国	韓国 (K R)		

(54) 【発明の名称】 半導体パッケージ及びその組み立て方法

(57) 【要約】 (修正有)

【課題】 総外型サイズを小さくし、工程コストが安く、修理が容易な積層型半導体パッケージ及びその組み立て方法を提供する。

【解決手段】 中央にチップ1を配置するための開口部を有する外箱を用意し、その底面に第2放熱板8を配置するとともに、開口部にチップ1を配置する。そのチップ1は表面に複数のワイヤボンディングパッドを備え、リード4aがそのワイヤボンディングパッドに電氣的に連結されて一方向に形成され、第1放熱板5が他のワイヤボンディングに接続されて他の方向に導かれている。その外箱の上にキャップ9を取り付け、そのキャップ9と外箱との接合部でリードと第1放熱板を固定する。



【特許請求の範囲】

【請求項1】 上部表面上に複数のワイヤボンディングパッドを有する半導体チップと、
前記各ワイヤボンディングパッドに電氣的に連結されて一方向に形成されるリードと、
前記所定のワイヤボンディングパッドに連結されて前記半導体チップの熱を外部へ放出する第1放熱板と、
前記半導体チップを中央部に支持し、リードと第1放熱板とをそれぞれ相反する方向へ支持する支持体と、
前記支持体内に形成され半導体チップの熱を外部へ放出するように支持体の底面部に配置された第2放熱板と、
前記半導体チップの上部に位置してリード及び第1放熱板とを支持し半導体チップを保護するキャップと、を備えることを特徴とする半導体パッケージ。

【請求項2】 半導体チップにリードと第1放熱板とが取り付けられ、それらが支持体に取り付けられてキャップで覆われている請求項1記載のパッケージを複数個積層させたことを特徴とする積層型半導体パッケージ。

【請求項3】 上部表面に接着剤を塗布した複数のワイヤボンディングパッドを有する半導体チップと、第2放熱板を有し、半導体チップ、リード及び第1放熱板を固定するため所定の位置に接着剤を塗布した支持体及びその支持体を覆うキャップを用意するステップと、半導体チップのワイヤボンディングパッドに複数のリード及び第1放熱板を配列し、そのリードと第1放熱板を配列させた半導体チップを支持体内の所定の位置に配置し、リード及び第1放熱板を所定の位置に導き、それらを覆うようにキャップを配置するステップと、
上記ステップを経て得られたものに熱を加えて、半導体チップのワイヤボンディングパッドにリード及び第1放熱板を、リード及び第1放熱板の上部にキャップを記半導体チップの下部及びリードの下部に支持体を同時に取り付けするステップとを備えることを特徴とする半導体パッケージの組み立て方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体パッケージに関し、特に積層型半導体パッケージ及びその組み立て方法に関する。

【0002】

【従来の技術】一般に、半導体パッケージはリード挿入用パッケージと表面実装用パッケージとに分けられる。リード挿入用パッケージとは、プリング配線板に挿入用ホールが用意されており、そのホールにパッケージのリード又はピンを挿入してはんだ付けする方法である。代表的にはDIP(Dual Inline Package)、SIP(Single Inline Package)、PGA(Pin Grid Array)等がある。この際、DIP、SIPはリードフレームタイプであり、PGAはピンタイプである。一方、表面実装用パッケージとは、挿入用ホールを必要とせず、ICを配線板

の表面に実装させる方法である。この方法は、配線板の両面に実装可能で、パッケージ全体が小型軽量となり、配線板の実装密度を大幅に改善した方法である。現在、パッケージは表面実装用パッケージのSOP(Small Outline Package)、TSOP(Thin Small Outline Package)、SOJ(Small Outline Bonding)、TQFP(Thin Quad Flat Package)タイプ等のような個別パッケージが中心をなしている。そして、システムパッケージとしてTAB(Tape Automated Bonding)、C-4、Bear Chip等がある。

【0003】図1はメモリ素子において多く用いられるパッケージの形態、大きさ、高さ等を比較した図表であり、図2はマルチチップモジュール(MCM)の例を示す図である。図1に示すように、各パッケージは、全体的な外型サイズが非常に大きい。その上、各々のチップを別々にパッケージングしなければならない。そのため、MCMで多機能を有するチップを一パッケージに集積することが提案されたが、制作が困難なセラミック基板上にチップを取り付けるために多くの工程が必要であり、欠陥が発生する確率が高い。更に、欠陥発生時、どのチップに不良があるのかを見つけるのが困難であった。これを防止するため、すでにパッケージされたチップをセラミック基板上に取り付けたが、不必要な工程及び費用の浪費をもたらした。

【0004】

【発明が解決しようとする課題】従来の技術の半導体パッケージにおいては以下のような問題点があった。個々のチップをパッケージングする場合には、各チップをパッケージ内に収納するため、全体的な外型サイズが非常に大きい。また、マルチチップモジュールの場合には、セラミック基板上にチップを取り付けるなければならないため、工程が複雑で、欠陥発生率が高く、工程コストが高い。また、欠陥が発生したとき、欠陥を見つけて分離し、修理することが難しい。

【0005】本発明は上記の問題点を解決するためのものであり、その目的は多数個のチップを積層して半導体パッケージの面積を減少させ且つ組立を単純化した積層型半導体パッケージ及びその組み立て方法を提供することにある。

【0006】

【課題を解決するための手段】本発明の半導体パッケージは、上部表面上に複数のワイヤボンディングパッドを有する半導体チップと、各ワイヤボンディングパッドに電氣的に連結されて一方向に形成されるリードと、所定のワイヤボンディングパッドに連結されて半導体チップの熱を外部へ放出する第1放熱板と、半導体チップを中央部に支持し、リードと第1放熱板とをそれぞれ相反する方向へ支持する支持体と、支持体内に形成され半導体チップの熱を外部へ放出するように支持体の底面部に配置された第2放熱板と、半導体チップの上部に位置して

リード及び第1放熱板とを支持し半導体チップを保護するキャップとを備えることを特徴とする。

【0007】本発明の他の特徴は、上記した半導体パッケージをキャップの上に他のパッケージの支持体の底、すなわち第2放熱板を重ねるようにして複数のパッケージを積み重ねたことを特徴とする積層型半導体パッケージである。

【0008】本発明の積層型半導体パッケージの組み立て方法は、上部表面に接着剤を塗布した複数のワイヤボンディングパッドを有する半導体チップと、第2放熱板を有し、半導体チップ、リード及び第1放熱板を固定するため所定の位置に接着剤を塗布した支持体及びその支持体を覆うキャップを用意し、半導体チップのワイヤボンディングパッドに複数のリード及び第1放熱板を配列し、そのリードと第1放熱板を配列させた半導体チップを支持体内の所定の位置に配置し、リード及び第1放熱板を所定の位置に導き、それらを覆うようにキャップを配置し、上記ステップを経て得られたものに熱を加えて、半導体チップのワイヤボンディングパッドにリード及び第1放熱板を、リード及び第1放熱板の上部にキャップを記半導体チップの下部及びリードの下部に支持体を同時に取り付けすることを特徴とする。

【0009】

【発明の実施の形態】以下、本発明実施形態の積層型半導体パッケージ及びその組み立て方法を添付図面に基づき説明する。図3、図4は本実施形態の積層型半導体パッケージの一例を示す断面図及び斜視図であり、図5は本発明実施形態の積層型半導体パッケージのリードが配列される様子を示す図である。図3～図5に示すように、積層型半導体パッケージは、各半導体チップ1上のワイヤボンディングパッド2に伝導性エポキシ3にて連結される内部リード4aと、各内部リード4aを延長して形成した外部リード4bとを備えている。本実施形態は、内部リード、外部リードと同様にチップ1に伝導性エポキシ3で連結された第1放熱板5を備えている。本実施形態のチップ1は、第2放熱板8にエポキシ6で取り付けられ、その第2放熱板8の上、エポキシ6の周辺を支持体7で覆っている。すなわち、ほぼ矩形で中央部に開口を有し、周辺部に壁を形成させた形状の支持体7を第2放熱板8の上に載せ、支持体7の中央部開口内にチップ1を配置してエポキシ6で固定した形状である。本実施形態においては、リード4a、4bは図5に示すように一方向にのみ導くようにしている。そして、第1放熱板5は、そのリードが出ている方向と180°の方向に突出させている。これらのリードと第1放熱板5とは支持体7の上に被せられるキャップ9との間にエポキシ6で固定される。上記エポキシは接着剤となるものであり、エポキシに限らない。熱を加えることで接着力を備えているものならどのような材料でも良い。したがって、本実施形態はキャップ9の上に第2放熱板8を重ね

るようにして複数の個々のパッケージを積層して一つのパッケージとしている。

【0010】その際、図5に示すように、内部リード4a及び外部リード4bは一方向に配列され、リードフレームである第1放熱板5は内部リード4a及び外部リード4bの形成方向と反対方向に外部に突出するように形成する。そして、第2放熱板8はリードと第1放熱板5が突出する方向へ突出し、その方向と直交する方向では支持体7の壁と面一とする。このように、本実施形態においては、第1放熱板5がチップに直接接触されて外へ出ており、また第2放熱板8がチップ積層にその間に挿入されているので、熱放出を円滑にすることができる。そして、使用時には、図示のように積層された半導体パッケージの向きを外部リード4aが使用しようとするPCB基板の方向に向けて、予め用意されたホールに挿入する。ホールを設けずに、表面実装形態に基板に取り付けても良いのはいうまでもない。このように、チップと平行に出ているリードを下向きにして基板に取り付けるので、チップの長手方向を基板に垂直にして使用することができるので、チップの占める空間を大幅に小さくすることができる。

【0011】以下、かかる構造を有する本実施形態のパッケージング方法、すなわち組み立て方法を説明する。まず、半導体チップ1の熱を外部へ放出する第2放熱板8が取り付けられた支持体7と、内部リード4aを支持し半導体チップ1を保護するキャップ9を製造する。支持体7を予め製造する理由は、支持体7に装着されるいろんな種類の半導体チップ1のサイズを顧慮しなければならないからである。すなわち、支持体の中央開口はチップの大きさに合わせるようにすることが望ましい。

【0012】次いで、支持体7の表面の中で半導体チップ1装着領域にエポキシ6を塗り、支持体7及びキャップ9の表面中の内部リード4aと接触する領域にもエポキシ6を塗っておく。そして、半導体チップ1上のワイヤボンディングパッド2は、それに連結されるリード4a、4bが一方向のみに突出されるようにする。さらに、半導体チップ1上のワイヤボンディングパッド2に連結されて半導体チップ1の熱を外部へ放出させる第1放熱板5を製造する。この第1放熱板5はリードフレームを使用する。

【0013】次いで、半導体チップ1上のワイヤボンディングパッド2に連結される内部リード4a及び第1放熱板5の先端に伝導性エポキシ3を塗る。そして、半導体チップ1の上側に複数の内部リード4a、その内部リード4aから延長される外部リード4b、及び第1放熱板5を配列させ、内部リード4aの上側にはキャップ9を配列し、半導体チップ1の下側には支持体7を配列する。ようするに、支持体7の所定の位置に半導体チップ1を挿入させ、そのチップのワイヤボンディングパッド2にリードと第1放熱板5の先端部を重ねて、それらを

支持体の所定の位置に配置する。その支持体7の上にキャップ9を被せる。この際、多層にパッケージを制作したい場合には、キャップ9の上に同様に形成させたパッケージの第2放熱板8を重ねるように、多数のパッケージを積層すればよい。このように配列した後、最下端の支持体7と最上端のキャップ9とに一定の力を加え且つ約160～170℃に熱を加えて、半導体チップ1のワイヤボンディングパッド2に内部リード4a及び第1放熱板5を、内部リード4a上にキャップ9を、半導体チップ1の下部及び内部リード4aの下部に支持体7を同時に取り付け。

【0014】すなわち、それぞれの構成要素間に塗ったエポキシが同時に融けながら一度に結合されるため、いろいろな種類、さらにはいろいろの個数の半導体チップを同時に組み立てて、多機能、高性能を有するマルチチップICを制作することができる。

【0015】

【発明の効果】このようにして制作される本発明の積層型半導体パッケージ及びその組み立て方法においては下記のような効果がある。本発明は、チップを個々にパッケージすることができるだけでなく、簡単に複数のチップを積層することができる。その積層のとき、複雑なセラミック基板を制作する必要なく、PCB基板にいろん

な種類の半導体チップを装着して使用することができるため、総外型サイズを大幅に小さくすることができる。また、一台の装置で一度に工程することができるため、工程コストが極めて安い。さらに、各チップが隔離されているため、欠陥のある素子を容易に見つけることができる。このため、修理が容易であり、また、必要があれば半導体チップ別に分離することが可能である。

【図面の簡単な説明】

【図1】 メモリ素子において多く用いられるパッケージの形態、大きさ、高さ等を比較した図表。

【図2】 多数のチップを一体化したパッケージの例を示す図。

【図3】 本発明実施形態の積層型半導体パッケージの一例を示す断面図。











【図4】 本発明実施形態の積層型半導体パッケージの一例を示す斜視図。

【図5】 本発明の積層型半導体パッケージのリードが配列される様子を示す図。

【符号の説明】

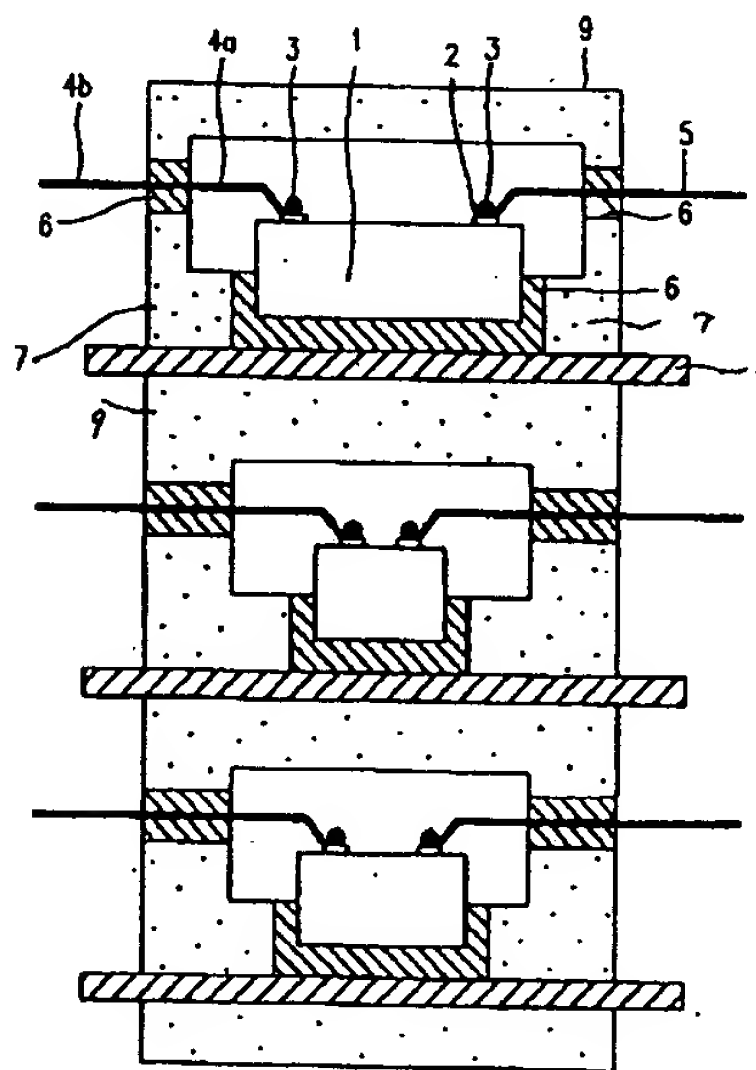
1 半導体チップ、2 ワイヤボンディング、3 エポキシ、4a 内部リード、4b 外部リード、5 第1放熱板、6 エポキシ、7 支持体、8 第2放熱板、9 キャップ。

【図1】

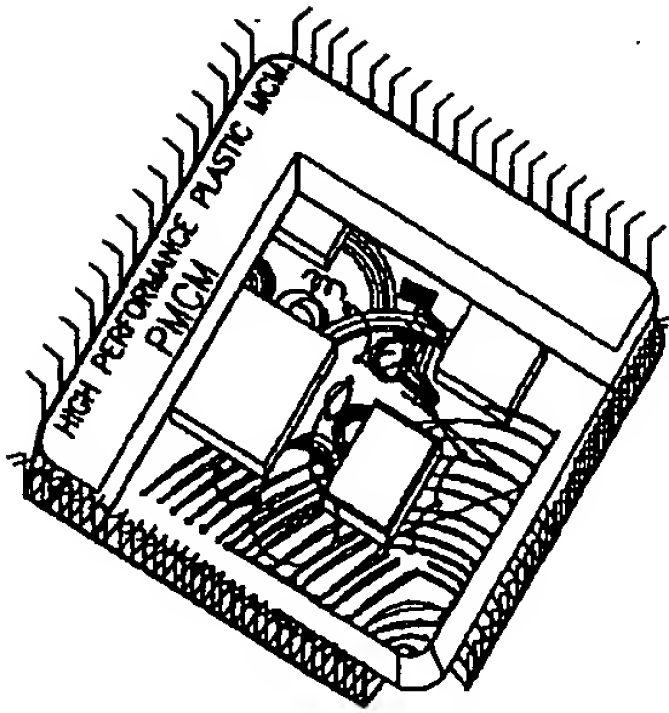
	DIP	ZIP	SOJ	TSOJ	TSOP
パッケージ高さ					
(mm) Ratio	1.35(1)	2.70(2)	1(0.74)	0.5(0.35)	0.34(0.25)
パッケージサイズ					
(mm) Ratio	1.43(1)	0.63(0.44)	1(0.70)	0.5(0.35)	0.68(0.48)
パッケージ体積	1073	939	558	263	128
(mm) Ratio	1.92(1)	1.68(0.87)	1(0.52)	0.47(0.25)	0.23(0.12)
本体高さ	3.6	2.85	2.7	1.6	1.0
(mm) Ratio	1.33(1)	1.06(0.79)	1(0.71)	0.59(0.44)	0.37(0.28)
平均ピッチ	2.54(100mil)	1.27(50mil)	1.27(50mil)	1.27(50mil)	0.50(=20mil)
重さ	1.34	1.63(1)	0.82	0.48	0.22
(mm) Ratio	1.63(1)	1.63(1)	1(0.61)	0.59(0.36)	0.27(0.16)

(1)はDIPが1.0のときの比
SOJが1.0のときの比

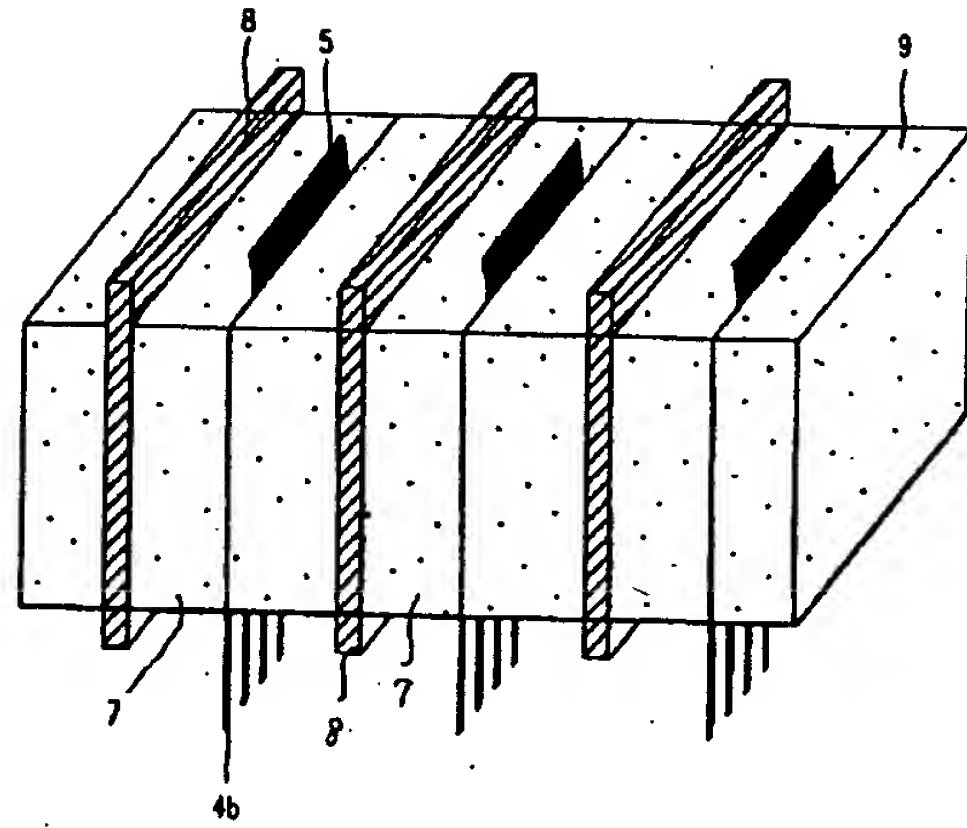
【図3】



【図2】



【図4】



(6)

特開平10-189835

【図5】

